

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

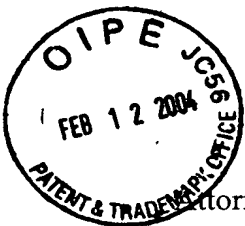
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



Attorney Docket No. 5649-1202

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Ahn et al.

Serial No.: 10/696,615

Group Art Unit: 2811

Filed: October 28, 2003

Confirmation No. 6846

For: SEMICONDUCTOR MEMORY DEVICES HAVING OFFSET TRANSISTORS
AND METHODS OF FABRICATING THE SAME

Date: February 10, 2004

Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the
following Korean priority application:

10-2002-0066086, filed October 29, 2002.

Respectfully submitted,

D. Randal Ayers
Registration No. 40,493

USPTO Customer No. 20792
Myers Bigel Sibley & Sajovec, P.A.
Post Office Box 37428
Raleigh, North Carolina 27627
Telephone: (919) 854-1400
Facsimile: (919) 854-1401

CERTIFICATE OF MAILING

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail in an envelope addressed to: Commissioner for Patents P.O. Box 1450, Alexandria, VA 22313-1450, on February 10, 2004.

Michele P. McMahan



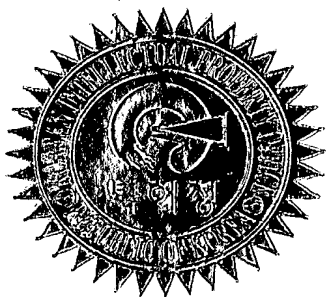
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2002-0066086
Application Number

출원 년 월 일 : 2002년 10월 29일
Date of Application OCT 29, 2002

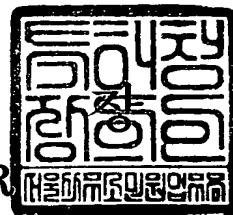
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 09 월 16 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2002. 10. 29
【발명의 명칭】	오프 세트 트랜지스터를 갖는 반도체 기억소자 및 그 제조방법
【발명의 영문명칭】	SEMICONDUCTOR MEMORY DEVICE HAVING OFFSET TRANSISTOR AND METHOD OF FABRICATING THE SAME
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	이세호
【성명의 영문표기】	LEE, SE HO
【주민등록번호】	721220-1057066
【우편번호】	449-900
【주소】	경기도 용인시 기흥읍 농서리 산 24번지
【국적】	KR
【발명자】	
【성명의 국문표기】	안수진
【성명의 영문표기】	AHN, SU JIN
【주민등록번호】	691205-2231316
【우편번호】	143-192
【주소】	서울특별시 광진구 자양2동 한양아파트 5동 107호
【국적】	KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인

임창현 (인) 대리인

권혁수 (인)

【수수료】

【기본출원료】

20 면 29,000 원

【가산출원료】

12 면 12,000 원

【우선권주장료】

0 건 0 원

【심사청구료】

18 항 685,000 원

【합계】

726,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

다층 터널접합층 패턴을 갖는 반도체 기억소자 및 그 제조방법을 제공한다. 이 반도체 기억소자는 2개의 평판 트랜지스터 및 1개의 수직 트랜지스터로 구성된 단위 셀을 구비한다. 제1 평판 트랜지스터는 반도체기판의 소정영역에 형성된 제1 및 제2 도전성 영역들, 상기 제1 및 제2 도전성 영역들 사이의 제1 채널 영역 및 제2 채널 영역, 및 상기 제1 채널 영역 상에 적층된 스토리지 노드로 구성된다. 수직 트랜지스터는 스토리지 노드, 스토리지 노드 상에 적층된 다층 터널접합층 패턴, 다층 터널접합층 패턴 상에 적층된 데이터 라인, 및 스토리지 노드의 양 측벽들과 다층 터널접합층 패턴의 양 측벽들을 덮는 워드라인으로 구성된다. 상기 워드라인이 상기 제2 채널 영역을 가로지르면서 오프 세트(offset) 트랜지스터인 제2 평판 트랜지스터의 게이트를 구성한다.

【대표도】

도 3

【색인어】

다층 터널층, 오프 세트, 수직 트랜지스터, 평판 트랜지스터, 커플링 비율

【명세서】

【발명의 명칭】

오프 세트 트랜지스터를 갖는 반도체 기억소자 및 그 제조방법{SEMICONDUCTOR MEMORY DEVICE HAVING OFFSET TRANSISTOR AND METHOD OF FABRICATING THE SAME}

【도면의 간단한 설명】

도 1은 종래 기술에 따른 다층 터널접합층 패턴을 갖는 반도체 기억소자의 단면도,

도 2는 종래 기술에 따른 다층 터널접합층 패턴을 갖는 반도체 기억소자의 단위셀을 나타내는 회로도,

도 3는 본 발명에 따른 반도체 기억소자의 셀 어레이 영역의 일 부분을 보여주는 개략적인 평면도,

도 4a는 도 3의 I-I에 따라 취해진 본 발명의 일 실시예에 따른 반도체 기억소자의 단면도,

도 4b는 도 3의 II-II에 따라 취해진 본 발명의 일 실시예에 따른 단면도,

도 5는 본 발명의 단위 셀을 도시한 회로도,

도 6a 내지 도 12a와 도 6b 내지 도 12b는 본 발명의 일 실시예에 따른 반도체 기억소자의 제조방법을 설명하기 위한 단면도들이다.

*도면의 주요 부분에 대한 부호의 설명

2, 102 : 반도체기판

4, 104 : 게이트 절연막

6, 106 : 스토리지 노드

8, 108 : 반도체층

10, 110 : 터널절연층

16, 116 : 다층 터널접합층

27, 127 : 데이터 라인

132, 134 : 마스크 패턴

40, 140 : 게이트 충전절연막

42, 142 : 워드라인

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<14> 본 발명은 반도체 기억소자 및 그 제조방법에 관한 것으로, 특히 오프 세트(offset) 트랜지스터를 갖는 반도체 기억소자 및 그 제조방법에 관한 것이다.

<15> 디램(DRAM)은 에스램(SRAM)과 같은 기억소자에 비하여 높은 집적도를 보이는 장점을 갖는다. 그러나, 디램은 기억 셀에 저장된 데이터가 소멸되는 것을 방지하기 위하여 주기적으로 리프레쉬 되어지는 것이 요구된다. 따라서, 대기 모드(stand-by mode)에서조차도 전력소모가 증가한다. 이와는 반대로, 플래쉬 메모리소자와 같은 비휘발성 메모리소자는 기억 셀들을 리프레쉬 시킬 필요가 없는 장점을 갖는다. 그러나, 비휘발성 기억 셀들을 프로그램시키거나 소거시키기 위해서는 높은 전압을 필요로 한다. 이에 따라, 디램 및 플래쉬 메모리를 결합시킨 새로운 기억소자가 미국특허 제5,952,692호에 "개선된 전하저장 배리어 구조체를 갖는 기억소자"라는 제목으로 나가자토(Nakazato) 등에 의해 개시된 바 있으며, 미국특허 제6,169,308호에 "반도체 기억 소자 및 그 제조방법"라는 제목으로 수나미(Sunami) 등에 의해 개시된 바 있다.

<16> 도 1은 종래 기술에 따른 다층 터널접합층 패턴을 갖는 반도체 기억소자의 단면도이며, 도 2는 다층 터널접합층 패턴을 갖는 반도체 기억소자의 단위셀을 나타내는 회로도이다.

<17> 도 1 및 도 2를 참조하면, 반도체 기억소자의 단위 셀은 평판 트랜지스터(planar transistor, TR2) 및 수직 트랜지스터(vertical transistor, TR1)를 포함한다. 상기 평판 트랜

지스터(TR2)는 반도체기판(2)의 소정영역에 형성되고 서로 이격된 드레인 영역(39d) 및 소오스 영역(39s)과, 상기 드레인 영역(39d) 및 소오스 영역(39s) 사이의 채널 영역 상에 배치된 부유 게이트(6)를 포함한다. 여기서, 상기 드레인 영역(39d)은 비트라인에 해당하고, 상기 부유 게이트(6)는 스토리지 노드에 해당한다. 상기 스토리지 노드(6) 및 상기 채널 영역 사이에는 게이트 절연막(4)이 개재된다.

<18> 상기 스토리지 노드(6) 상에 다층 터널접합층 패턴(multiple tunnel junction layer pattern; 16) 및 데이터 라인(27)이 차례로 적층된다. 상기 다층 터널접합층 패턴(16)은 서로 번갈아가면서 반복적으로 적층된 반도체층(8) 및 터널 절연층(10)을 포함한다. 상기 다층 터널 접합층 패턴(16)의 최상부층(utmost top layer; 12)은 상기 반도체층(8) 또는 상기 터널 절연층(10)일 수 있다. 상기 데이터 라인(27)은 연장되어 서로 이웃한 복수개의 기억 셀들과 전기적으로 접속된다. 상기 스토리지 노드(6), 다층 터널접합층 패턴(16) 및 데이터 라인(27)은 다층 패턴(multiple layered pattern)을 구성한다.

<19> 상기 다층 패턴의 측벽 및 상부면은 게이트 층간 절연막(40)에 의해 덮여진다. 상기 게이트 층간절연막(40) 상에 상기 데이터 라인(27)을 가로지르는 워드라인(42)이 배치된다. 상기 워드라인(42)은 상기 다층 패턴과 중첩되도록 배치된다. 상기 데이터 라인(27), 상기 다층 터널접합층 패턴(16), 상기 스토리지 노드(6) 및 상기 워드라인(42)은 상기 수직 트랜지스터(TR1)를 구성한다.

<20> 상술한 반도체 기억소자의 셀을 구동시키는 방법을 간단히 설명하기로 한다.

<21> 먼저, 쓰기 모드(write mode)에서, 상기 데이터 라인(27)에 데이터 전압을 인가하고 상기 워드라인(42)에 쓰기 전압(write voltage)을 인가한다. 이에 따라, 상기 반도체층(8)들의 측벽들에 반전된 채널(inversion channel)이 형성되고 상기 터널 절연층(10)을 통하여 터널링

전류가 흐른다. 그 결과, 상기 데이터 라인(27)에 인가된 전압에 따라 상기 스토리지 노드(6) 내에 전자들 또는 정공들이 저장된다. 이들 저장된 전하들은 상기 평판 트랜지스터(TR2)의 문턱전압을 변화시킨다.

<22> 다음에, 상기 스토리지 노드(6)에 저장된 정보를 읽어내기 위하여, 상기 스토리지 노드(6)에 읽기 전압(read voltage)을 인가하고 상기 소오스 영역(39s)에 적절한 전압, 예컨대 접지 전압을 인가한다. 이에 따라, 상기 평판 트랜지스터(TR2)의 문턱전압이 상기 읽기전압보다 높은 경우에는 상기 평판 트랜지스터(TR2)가 턴오프되어 상기 드레인 영역(39d)을 통하여 전류가 흐르지 않는다. 이와 반대로, 상기 평판 트랜지스터(TR2)의 문턱전압이 상기 읽기 전압보다 낮은 경우에는 상기 평판 트랜지스터(TR2)가 턴온되어 상기 드레인 영역(39d)을 통하여 전류가 흐른다. 읽기 동작에서 상기 스토리지 노드(6)는 상기 평판 트랜지스터(TR2)의 게이트 역할을 하게 되며, 상기 스토리지 노드(6)에 인가되는 읽기 전압은 커플링 비율(coupling ratio)에 의해 결정된다. 다시 말하면, 상기 워드라인(42)에 전압을 인가하면, 커플링 비율에 따라 상기 스토리지 노드(6)에 읽기 전압이 인가되게 된다.

<23> 상술한 바와 같은 종래의 기술에 따르면, 쓰기 동작에서 스토리지 노드(6)에 저장된 전하가 평판 트랜지스터(TR2)의 문턱전압을 변화시킨다. 읽기 동작에서는 상기 평판 트랜지스터(TR2)의 문턱 전압에 따라서 상기 평판 트랜지스터(TR2)의 채널영역에 흐르는 전류의 양에 의하여 데이터를 감지한다. 그런데, 상기 스토리지 전극(6)에 저장된 전하의 양이 적은 경우에는 높은 워드라인 전압이 필요하게 된다. 높은 워드라인 전압이 인가되는 경우에는 상기 수직 트랜지스터(TR1)에 채널이 형성되어 상기 스토리지 전극(6)에 저장된 전하가 누설되는 문제점이 발생한다.

【발명이 이루고자 하는 기술적 과제】

<24> 본 발명은 상기와 같은 문제점을 해결하기 위하여 안출된 것으로, 본 발명이 이루고자 하는 다른 기술적 과제는 낮은 전압에서도 우수한 읽기 동작을 보여주는 반도체 기억소자 및 그 제조방법을 제공하는 데 있다.

<25> 본 발명이 이루고자 하는 또 다른 기술적 과제는 읽기 동작에서 스토리지 노드에 저장된 전하가 누설되는 것을 억제할 수 있는 반도체 기억소자 및 그의 제조방법을 제공하는 데 있다.

【발명의 구성 및 작용】

<26> 상기 목적을 달성하기 위하여, 본 발명은 2개의 평판 트랜지스터 및 1개의 수직 트랜지스터로 구성된 단위 셀을 구비한다. 제1 평판 트랜지스터는 반도체기판의 소정영역에 형성된 제1 및 제2 도전성 영역들, 상기 제1 및 제2 도전성 영역들 사이의 제1 채널 영역 및 제2 채널 영역, 및 상기 제1 채널 영역 상에 적층된 스토리지 노드를 포함한다. 상기 스토리지 노드 및 상기 기판 사이에는 게이트 절연막 패턴이 개재된다. 상기 수직 트랜지스터는 상기 스토리지 노드, 스토리지 노드 상에 적층된 다층 터널접합층 패턴, 다층 터널접합층 패턴 상에 적층된 데이터 라인, 및 스토리지 노드의 양 측벽들과 다층 터널접합층 패턴의 양 측벽들을 덮는 워드 라인을 포함한다. 상기 워드라인이 상기 제2 채널 영역을 가로지르면서 오프 세트 트랜지스터인 제2 평판 트랜지스터의 게이트를 구성한다. 상기 스토리지 노드는 상기 제1 평판 트랜지스터의 게이트 전극 역할을 함과 동시에 상기 수직 트랜지스터의 소오스 영역 역할을 한다. 상술한 구조는 읽기 동작에서 제1 평판 트랜지스터에 인가되는 읽기 전압은 워드라인 전압의 커플링 비율에 의하여 결정되는데 반하여, 제2 평판 트랜지스터는 워드라인 전압이 직접 인가된다. 따라서, 전체적으로는 낮은 워드라인 전압에서 읽기 동작이 가능하여 스토리지 노드에 저장된 전하의 누설을 억제할 수 있다.

<27> 또한, 상기 반도체 기억소자의 제조방법은 반도체기판의 제1 채널 영역 상에 차례로 적층된 게이트 절연막 패턴, 스토리지 노드 패턴, 터널링 절연막 패턴 및 데이터 라인을 형성하는 것을 포함한다. 상기 데이터 라인은 일 방향을 따라 연장된다. 상기 스토리지 노드 패턴의 일측면의 반도체 기판에 제2 채널 영역을 정의하는 마스크 패턴을 형성하고, 상기 마스크 패턴을 이온 주입의 마스크로 이용하여 상기 스토리지 전극 패턴에 인접한 일측면에는 제1 도전성 영역을 형성하며, 상기 스토리지 전극의 다른 측면에서는 제2 채널 영역 만큼 이격되게 제2 도전성 영역을 형성한다. 상기 스토리지 노드를 갖는 반도체기판의 전면 상에 게이트 층간절연막을 콘포말하게 형성한다. 상기 게이트 층간절연막 상에 상기 데이터 라인을 가로지르는 워드라인을 형성한다. 상기 워드라인은 상기 스토리지 노드의 양 측벽들 및 상기 다층 터널접합층 패턴의 양 측벽들을 덮으면서 수직 트랜지스터를 형성하며, 동시에 상기 제2 채널 영역의 상부를 가로지르면서 제2 수평 트랜지스터의 게이트 전극을 형성한다.

<28> 상술한 목적, 특징들 및 장점은 첨부된 도면과 관련한 다음의 상세한 설명을 통하여 보다 분명해 질 것이다. 이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 일실시예를 상세히 설명한다.

<29> 도 3는 본 발명에 따른 반도체 기억소자의 셀 어레이 영역의 일 부분을 보여주는 개략적인 평면도이다. 또한, 도 4a는 도 3의 I-I에 따라 취해진 본 발명의 일 실시예에 따른 반도체 기억소자의 단면도이고, 도 4b는 도 3의 II-II에 따라 취해진 본 발명의 일 실시예에 따른 단면도이다. 도 5는 상술한 본 발명의 단위 셀을 도시한 회로도이다.

<30> 도 3, 도 4a, 도 4b, 및 도 5를 참조하면, 반도체기판(102)의 소정영역에 서로 평행하며 제1 채널영역(L1) 및 제2 채널영역(L2)을 사이에 두고 이격된 제1 도전성 영역(139d) 및 제2

도전성 영역(139s)이 배치된다. 상기 제1 및 제2 도전성 영역들(139d, 139s)은 일 방향, 즉 열 방향과 평행하게 배치된다. 상기 제1 도전성 영역(139d)은 비트라인의 역할을 하며, 감지증폭기(sense amplifier; 도시하지 않음)와 접속된다. 상기 제1 및 제2 도전성 영역들(139d, 139s) 사이의 상기 반도체기판(102) 상에 상기 열 방향을 따라 복수개의 다층 패턴들(multiple layered patterns)이 배치된다. 상기 다층 패턴들 사이의 영역들은 소자분리막 패턴(124)에 의해 채워진다. 상기 소자분리막 패턴(124)은 상기 반도체기판(102)의 내부로 연장되어 서로 이웃하는 상기 다층 패턴들을 완전히 격리시킨다. 상기 다층 패턴들의 각각은 차례로 적층된 스토리지 노드(106) 및 다층 터널접합층 패턴(116)을 포함한다.

<31> 상기 다층 터널접합층 패턴(116)은 번갈아가면서 반복적으로 적층된 반도체막 패턴(108) 및 터널 절연막 패턴(tunnel insulating layer; 110)을 포함한다. 상기 다층 터널접합층 패턴(108)의 최상부막(utmost top layer; 112)은 상기 터널 절연막 패턴(110) 또는 상기 반도체막 패턴(108)일 수 있다.

<32> 상기 다층 터널접합층 패턴들(116) 및 이들 사이의 상기 소자분리막 패턴(124) 상에 데이터 라인(127)이 배치된다. 따라서, 상기 데이터 라인(127)은 상기 제1 및 제2 도전성 영역들(139d, 139s) 사이에 배치된다. 상기 데이터 라인(127) 상에 캐핑절연막 패턴(128)이 배치될 수도 있다. 상기 데이터 라인(127)의 상부를 가로질러 복수개의 평행한 워드라인들(142)이 배치된다. 상기 워드라인(142)들의 각각은 상기 스토리지 노드(106)의 양 측벽들, 상기 다층 터널접합층 패턴(116)의 양 측벽들, 및 상기 제2 채널영역(L1)의 상면을 덮는다. 상기 워드라인들(142) 및 상기 스토리지 노드들(106)의 측벽들 사이와 상기 워드라인들(142) 및 상기 다층 터널접합층 패턴들(116)의 측벽들 사이, 및 상기 워드라인들(142) 및 상기 제2 채널영역(L2) 사이에 콘포말한 게이트 층간절연막(140)이 개재된다.

<33> 상술한 구조를 갖는 반도체 기억소자는 한개의 수직 트랜지스터(TR1) 및 두 개의 평판 트랜지스터(TR2a, TR2b)로 구성된다. 상기 제1 평판 트랜지스터(TR2a)는 상기 제1 및 제2 도전성 영역들(139a, 139b), 상기 제1 및 제2 도전성 영역들 사이의 제1 채널 영역 및 제2 채널 영역(L1, L2), 및 상기 제1 채널 영역(L1) 상에 형성된 스토리지 노드(106)를 포함한다. 상기 수직 트랜지스터(TR1)는 상기 스토리지 노드(106), 상기 스토리지 노드(106) 상에 적층된 다층 터널접합층 패턴(multiple tunnel junction layer pattern, 116), 상기 다층 터널접합층 패턴(116) 상에 배치되고 상기 제1 및 제2 도전성 영역(139a, 139b)들과 평행한 데이터 라인(127), 및 상기 데이터 라인(127)의 상부를 가로지르고 상기 스토리지 노드(106)의 양 측벽들 및 상기 다층 터널접합층 패턴(116)의 양 측벽들을 덮는 워드라인(142)을 포함한다. 상기 워드라인(142)이 상기 제2 채널영역(L2)을 가로지르면서 제2 평판 트랜지스터(TR2b)의 게이트를 구성한다. 상기 제2 평판트랜지스터(TR2b)는 상기 제1 평판 트랜지스터(TR2a)에 인접하게 위치하며 제2 채널영역(L2)만큼 오프 세트(offset)된 트랜지스터이다. 도 3의 미설명 도면부호 '132'는 상기 제2 평판 트랜지스터(TR2b)의 제2 채널 영역(L2)을 정의하기 위한 마스크 패턴을 나타낸다.

<34> 도 6a 내지 도 12a와 도 6b 내지 도 12b는 본 발명의 일 실시예에 따른 반도체 기억소자의 제조방법을 설명하기 위한 단면도들이다. 도 6a 내지 도 12a은 도 3의 I-I에 따라 취해진 단면도들이고, 도 6b 내지 도 12b는 도 3의 II-II에 따라 취해진 단면도들이다.

<35> 도 6a 및 도 6b를 참조하면, 반도체기판(102) 상에 게이트 절연막(104), 스토리지 노드막(106), 다층 터널접합층(116), 상부 도전막(118) 및 화학기계적 연마 저지막(120)을 차례로 형성한다.

<36> 상기 다층 터널접합층(116)은 반도체막(108) 및 터널 절연막(110)을 번갈아가면서 반복적으로 적층시키어 형성한다. 상기 반도체막(108)은 실리콘막으로 형성할 수 있고, 상기 터널 절연막(110)은 실리콘 질화막, 실리콘 옥시나이트라이드막 또는 실리콘 산화막으로 형성할 수 있다. 상기 다층 터널접합층(106)의 최상부층(utmost top layer; 112)은 상기 반도체막(108) 및 상기 터널 절연막(110)중 어느 하나의 물질막일 수 있다. 또한, 상기 상부 도전막(118)은 도우핑된 실리콘막으로 형성하는 것이 바람직하고, 상기 화학기계적 연마 저지막(120)은 실리콘 질화막으로 형성하는 것이 바람직하다.

<37> 도 7a 및 도 7b를 참조하면, 상기 화학기계적 연마 저지막(120), 상부 도전막(118), 다층 터널접합층(116), 스토리지 노드막(106) 및 게이트 절연막(104)을 연속적으로 패터닝하여 상기 반도체기판의 소정영역들을 노출시키는 개구부들을 형성한다. 상기 개구부들은 열 방향 및 행 방향을 따라 2차원적으로 배열되도록 형성된다. 상기 노출된 반도체기판을 식각하여 복수개의 트렌치 영역들(122)을 형성한다. 이에 따라, 상기 트렌치 영역들(122) 역시 2차원적으로 배열되어 메쉬 형태의(mesh-shaped) 활성영역을 한정한다.

<38> 도 8a 및 도 8b를 참조하면, 상기 트렌치 영역들(122)을 갖는 반도체기판의 전면 상에 상기 트렌치 영역들(122)을 채우는 소자분리막을 형성한다. 상기 화학기계적 연마 저지막(120)이 노출될 때까지 상기 소자분리막을 전면식각하여 상기 트렌치 영역들(124)을 채우는 복수개의 섬 형태의(island-shaped) 소자분리막 패턴들(124)을 형성한다. 결과적으로, 상기 소자분리막 패턴들(124) 역시 행 방향 및 열 방향을 따라 2차원적으로 배열된다. 상기 소자분리막을 전면식각하는 공정은 화학기계적 연마 공정을 사용하여 실시하는 것이 바람직하다. 이어서, 상기 노출된 화학기계적 연마 저지막(120)을 제거하여 상기 상부 도전막(118)을 노출시킨다.

<39> 상기 상부 도전막(118)이 노출된 결과물의 전면 상에 배선막 및 캐핑 절연막을 차례로 형성한다. 상기 배선막은 금속막, 폴리사이드막 또는 도우핑된 실리콘막으로 형성하는 것이 바람직하고, 상기 캐핑절연막은 실리콘 산화막 또는 실리콘 질화막으로 형성하는 것이 바람직하다. 상기 캐핑절연막, 상기 배선막 및 상기 상부 도전막(118)을 연속적으로 패터닝하여 상기 열 방향과 평행한 복수개의 캐핑절연막 패턴들(128) 및 그들 아래에 위치하는 복수개의 데이터 라인들(127)을 형성한다.

<40> 상기 데이터 라인들(127)의 각각은 상기 열 방향과 평행한 직선 상에 위치하는 상기 소자분리막 패턴들(124)을 덮는다. 또한, 상기 데이터 라인들(127)의 각각은 상기 캐핑절연막 패턴(128)의 하부에 위치하는 배선(126) 및 상기 배선(126)과 상기 다층 터널접합층(116) 사이에 개재된 상부 도전막 패턴(118)으로 구성된다. 상기 배선막을 도우핑된 실리콘막 또는 폴리사이드막으로 형성하는 경우에는 상기 상부 도전막(118)을 형성하는 공정을 생략할 수도 있다.

<41> 도 9a 및 도 9b를 참조하면, 상기 데이터 라인들(127) 사이에 노출된 상기 다층 터널접합층(116)을 식각하여 데이터 라인들(127) 하부에 위치하는 상기 소자분리막 패턴들(124) 사이의 영역들 내에 복수개의 다층 터널접합층 패턴들(116)을 형성한다. 결과적으로, 상기 다층 터널접합층 패턴들(116)의 각각은 번갈아가면서 반복적으로 적층된 반도체막 패턴(108) 및 터널 절연막 패턴(110)으로 구성된다. 계속해서, 상기 데이터 라인들(127) 사이의 상기 스토리지 노드막(106) 및 상기 게이트 절연막(104)을 연속적으로 식각하여 상기 다층 터널접합층 패턴들(116) 아래에 스토리지 노드 패턴(106)들을 형성함과 동시에 상기 스토리지 노드 패턴(106)들 아래에 게이트 절연막 패턴들(104)을 형성한다.

<42> 상기 스택형의 다층 패턴들을 이온주입 마스크로 이용하여 제2 평판 트랜지스터의 문턱 전압을 조절하기 위하여 이온주입을 실시할 수 있다.

- <43> 문턱전압을 조절하기 위한 이온주입 후에는 제2 채널 영역을 정의하는 제1 마스크 패턴(132)을 형성한다. 상기 제1 마스크 패턴(132)을 이온주입의 마스크로 이용하여 저도핑 드레인 영역(134)을 형성한다. 상기 제1 마스크 패턴(132)은 제2 평판 트랜지스터의 문턱전압이 변하지 않게 하기 위하여 제2 채널 영역을 덮는다.
- <44> 도 10a 및 도 10b를 참조하면, 상기 제1 마스크 패턴(132)을 제거한 후에 기판 전면에서 콘포멀하게 스페이서 절연막을 형성한다. 상기 스페이서 절연막을 이방성 식각하여 상기 다층 패턴들의 측벽에 스페이서(135)를 형성한다. 상기 스페이서(135)를 형성한 후에는 제2 채널 영역을 정의하는 제2 마스크 패턴(136)을 형성한다. 상기 스페이서(135), 상기 다층 패턴들, 및 상기 제2 마스크 패턴(136)을 이온주입의 마스크로 이용하여 고농도 불순물 영역(138)을 형성한다. 상기 저도핑 드레인 영역(134) 및 고농도 불순물 영역(138)은 제1 및 제2 도전성 영역들(139d, 139s)이 된다. 상기 제1 도전성 영역(139d)은 상기 스페이서(135)로 인하여 저도핑 드레인 영역(134) 및 고농도 불순물 영역(138)이 병렬적으로 연결된다.
- <45> 도 11a 및 도 11b를 참조하면, 상기 제1 및 제2 도전성 영역들(139d, 139s)이 형성된 결과물의 전면 상에 게이트 층간절연막(140)을 콘포멀하게 형성한다. 상기 게이트 층간절연막(140)은 실리콘 산화막, 실리콘 질화막 또는 이들의 조합막으로 형성할 수 있다. 상기 게이트 층간절연막(140) 상에 식각저지막(도시하지 않음), 에컨대 실리콘 질화막을 추가로 형성할 수 있다. 이어서, 상기 게이트 층간 절연막(140) 및 식각저지막을 갖는 반도체기판의 전면 상에 층간절연막(141)을 형성한다.
- <46> 도 12a 및 도 12b를 참조하면, 상기 식각저지막이 노출될 때까지 상기 층간절연막(141)을 패터닝하여 상기 데이터 라인들(127)의 상부를 가로지르는 복수개의 그루브들을 형성한다.

다음에, 상기 노출된 식각저지막을 식각하여 상기 게이트 층간절연막(140)을 노출시킨다. 상기 복수개의 그루부들 내에 통상의 다마신 공정을 사용하여 복수개의 워드라인들(142)을 형성한다. 상기 워드라인들(142)의 각각은 상기 스토리지 노드들(106)의 양 측벽들, 상기 다층 터널 접합층 패턴들(116)의 양 측벽들 및 상기 제2 채널 영역(L2)의 상부를 덮는다. 상기 워드라인들(142)이 상기 제2 채널 영역(L2)을 가로지르면서 제2 평판 트랜지스터의 게이트 전극이 된다. 도면부호 'L1'은 제1 채널 영역을 나타낸다.

<47> 이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

【발명의 효과】

<48> 상기와 같이 이루어진 본 발명은, 오프 세트(offset) 트랜지스터를 이용하여 낮은 전압에서 읽기 동작을 수행할 수 있는 반도체 기억 소자를 형성할 수 있다.

<49> 또한, 두 개의 평판 트랜지스터를 서로 다른 문턱전압을 갖도록 하여 효율적인 읽기 동작을 수행할 수 있다.

【특허청구범위】**【청구항 1】**

반도체기판의 소정영역에 형성되고 서로 평행한 제1 및 제2 도전성 영역들, 상기 제1 및 제2 도전성 영역들 사이의 제1 채널 영역 및 제2 채널 영역, 및 상기 제1 채널 영역 상에 형성된 스토리지 노드로 구성된 제1 평판 트랜지스터; 및

상기 스토리지 노드, 상기 스토리지 노드 상에 적층된 다층 터널접합층 패턴(multiple tunnel junction layer pattern), 상기 다층 터널접합층 패턴 상에 배치되는 데이터 라인, 및 상기 데이터 라인의 상부를 가로지르고 상기 스토리지 노드의 양 측벽들 및 상기 다층 터널접합층 패턴의 양 측벽들을 덮는 워드라인으로 구성된 수직 트랜지스터를 포함하되, 상기 워드라인이 상기 제2 채널영역을 가로지르면서 제2 평판 트랜지스터를 구성하는 것을 특징으로 하는 반도체 기억소자.

【청구항 2】

제 1 항에 있어서,

상기 스토리지 노드 및 상기 제1 채널 영역 사이에 개재된 게이트 절연막 패턴을 더 포함하는 것을 특징으로 하는 반도체 기억소자.

【청구항 3】

제 1 항에 있어서,

상기 제1 수평 트랜지스터 및 상기 제2 수평 트랜지스터는 서로 다른 문턱전압을 갖는 것을 특징으로 하는 반도체 기억소자.

【청구항 4】

제 1 항에 있어서,

상기 스토리지 노드의 양 측벽과 상기 워드라인 사이, 상기 다층 터널접합층 패턴의 양 측벽들과 상기 워드라인 사이, 및 상기 제2 채널 영역 및 상기 워드라인 사이에 개재된 게이트 층간 절연막을 더 포함하는 것을 특징으로 하는 반도체 기억소자.

【청구항 5】

제 1 항에 있어서,

상기 데이터 라인 및 상기 워드라인 사이에 개재된 캐핑절연막 패턴을 더 포함하는 것을 특징으로 하는 반도체 기억소자.

【청구항 6】

제 1 항에 있어서,

상기 제1 도전성 영역은 저도핑 드레인 영역 및 고도핑 불순물 영역으로 구성되어 있는 것을 특징으로 하는 반도체 기억소자.

【청구항 7】

반도체기판에 제1 채널 영역 및 제2 채널 영역으로 이격되어 배치된 서로 평행한 제1 및 제2 도전성 영역들;

상기 제1 채널 영역 상에 배치된 복수개의 스토리지 노드들;

상기 도전성 영역들과 평행한 선 상에 배치된 상기 스토리지 노드들 사이의 상기 반도체 기판에 형성된 트렌치 영역들;

상기 스토리지 노드들 상에 적층된 복수개의 다층 터널접합층 패턴들;

상기 트렌치 영역들을 채우는 소자분리막들;

상기 다층 터널접합층 패턴들 및 그들 사이의 상기 소자분리막들을 덮고 상기 도전성 영역들 사이에 배치된 복수개의 데이터 라인들; 및

상기 데이터 라인들의 상부를 가로지르는 복수개의 평행한 워드라인들을 포함하되, 상기 워드라인들은 상기 스토리지 노드들의 측벽들, 상기 다층 터널접합층 패턴들의 측벽들 및 상기 제2 채널 영역을 덮는 것을 특징으로 하는 반도체 기억소자.

【청구항 8】

제 7 항에 있어서,

상기 스토리지 노드들 및 상기 반도체기판 사이에 개재된 게이트 절연막 패턴들을 더 포함하는 것을 특징으로 하는 반도체 기억소자.

【청구항 9】

제 7 항에 있어서,

상기 각 데이터 라인 및 상기 각 워드라인 사이에 개재된 캐핑절연막 패턴을 더 포함하는 것을 특징으로 하는 반도체 기억소자.

【청구항 10】

제 7 항에 있어서,

상기 각 워드라인 및 상기 각 스토리지 노드의 측벽 사이와 상기 각 워드라인 및 상기 각 다층 터널접합층 패턴의 측벽 사이와 상기 워드라인 및 상기 제2 채널 영역 사이에 개재된 게이트 층간절연막을 더 포함하는 것을 특징으로 하는 반도체 기억소자.

【청구항 11】

제 7 항에 있어서,

상기 제1 채널 영역 및 상기 제2 채널 영역은 서로 다른 불순물 농도를 갖는 것을 특징으로 하는 반도체 기억소자.

【청구항 12】

제 7 항에 있어서,

상기 제1 도전성 영역은 저도핑 드레인 영역 및 고도핑 불순물 영역으로 구성되어 있는 것을 특징으로 하는 반도체 기억소자.

【청구항 13】

반도체기판의 제1 채널 영역 상에 차례로 적층된 게이트 절연막 패턴, 스토리지 노드 패턴, 및 터널 장벽층 패턴으로 이루어진 다층 패턴들을 차례로 형성하는 단계;

상기 다층 패턴들 상에 데이터 라인을 형성하는 단계;

상기 스토리지 전극 패턴의 일측면에 인접하는 기판에 제1 도전성 영역을 형성하며, 상기 스토리지 전극 패턴의 다른 측면에 인접하는 기판에 제2 채널 영역의 거리만큼 이격되게 제2 도전성 영역을 형성하는 단계;

상기 스토리지 노드를 갖는 기판의 전면 상에 콘포말하게 게이트 충전절연막을 형성하는 단계; 및

상기 게이트 충전절연막 상에 상기 데이터 라인들의 상부를 가로지르는 복수개의 평행한 워드라인들을 형성하는 단계를 포함하되, 상기 워드라인들의 각각은 상기 스토리지 노드의 양

측벽들, 상기 다층 터널접합층 패턴의 양 측벽들 및 상기 제2 채널 영역을 가로지르는 것을 특징으로 하는 반도체 기억소자의 제조방법.

【청구항 14】

제 13 항에 있어서,

상기 제1 도전성 영역 및 제2 도전성 영역을 형성하는 단계는,

상기 제2 채널 영역을 한정하는 마스크 패턴을 형성하는 단계;

상기 마스크 패턴 및 상기 다층 패턴들을 이온주입 마스크로 이용하여 상기 스토리지 전극에 인접하는 일측면에 인접하는 상기 반도체기판에 제1 도전성 영역을 형성하며, 상기 스토리지 전극 패턴의 다른 측면에 인접하는 상기 반도체기판에 제2 채널 영역의 거리만큼 이격되게 제2 도전성 영역을 형성하는 단계; 및

상기 마스크 패턴을 제거하는 단계를 포함하는 반도체 기억소자의 제조방법.

【청구항 15】

제 14 항에 있어서,

상기 마스크 패턴을 형성하기 전에 문턱전압을 조절하기 위한 이온주입을 실시하는 것을 특징으로 하는 반도체 기억소자의 제조방법.

【청구항 16】

제 13 항에 있어서,

상기 제1 도전성 영역 및 제2 도전성 영역을 형성하는 단계는,

상기 제2 채널 영역을 한정하는 제1 마스크 패턴을 형성하는 단계;

상기 제1 마스크 패턴 및 상기 다층패턴들을 이온주입 마스크로 이용하여 상기 반도체기판에 저도핑 드레인 이온 주입을 실시하는 단계;

상기 제1 마스크 패턴을 제거하는 단계;

상기 다층 패턴들 측벽에 스페이서를 형성하는 단계;

상기 제2 채널 영역을 한정하는 제2 마스크 패턴을 형성하는 단계;

상기 제2 마스크 패턴, 상기 다층 패턴들 및 상기 스페이서를 이온주입 마스크로 이용하여 고도핑 불순물 영역을 형성하는 단계; 및

상기 제2 마스크 패턴을 제거하는 단계를 포함하는 것을 특징으로 하는 반도체 기억소자의 제조방법.

【청구항 17】

제 16 항에 있어서,

상기 제1 마스크 패턴을 형성하기 전에 문턱전압을 조절하기 위한 이온주입을 실시하는 것을 특징으로 하는 반도체 기억소자의 제조방법.

【청구항 18】

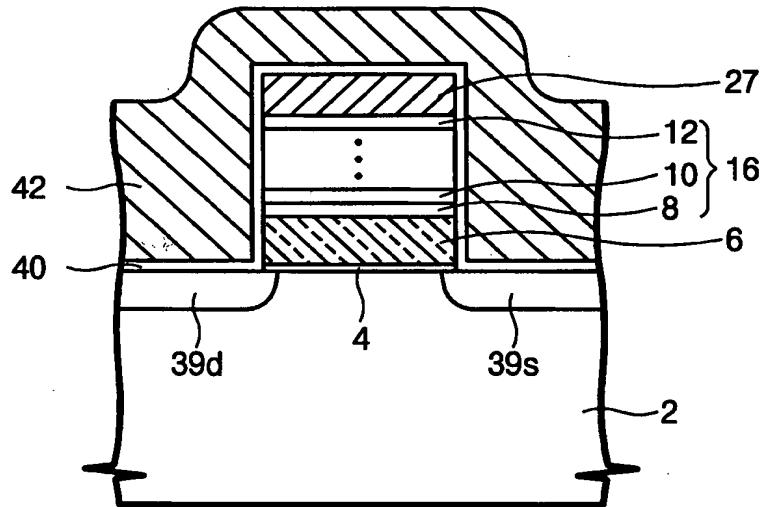
제 13 항에 있어서,

상기 다층패턴들 및 상기 데이터 라인 사이에 상부 도전막 패턴을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 기억 소자의 제조방법.

【도면】

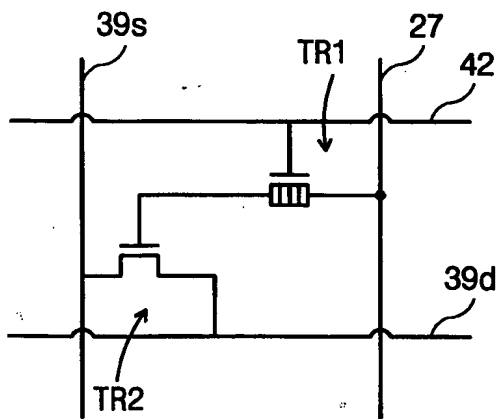
【도 1】

(종래 기술)

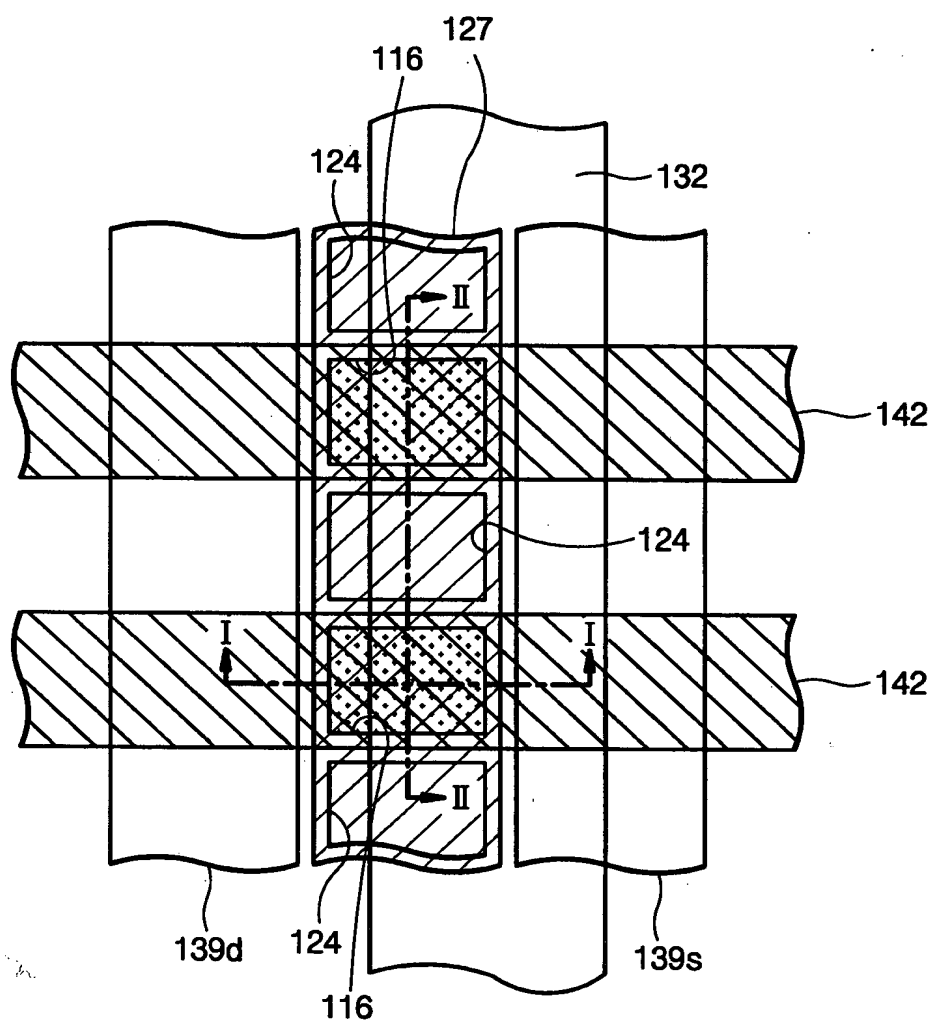


【도 2】

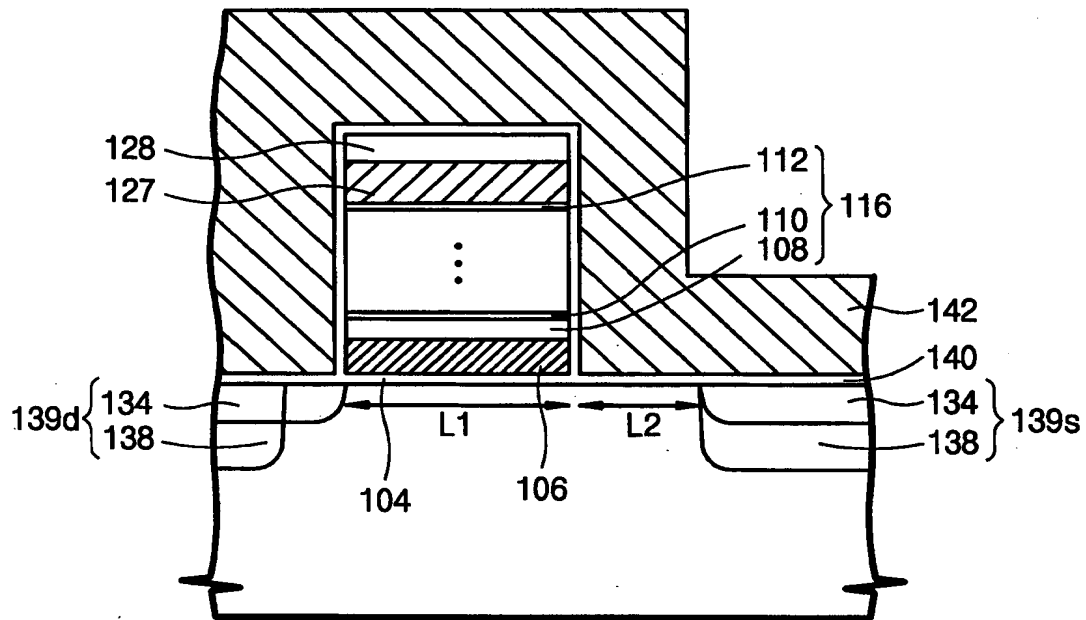
(종래 기술)



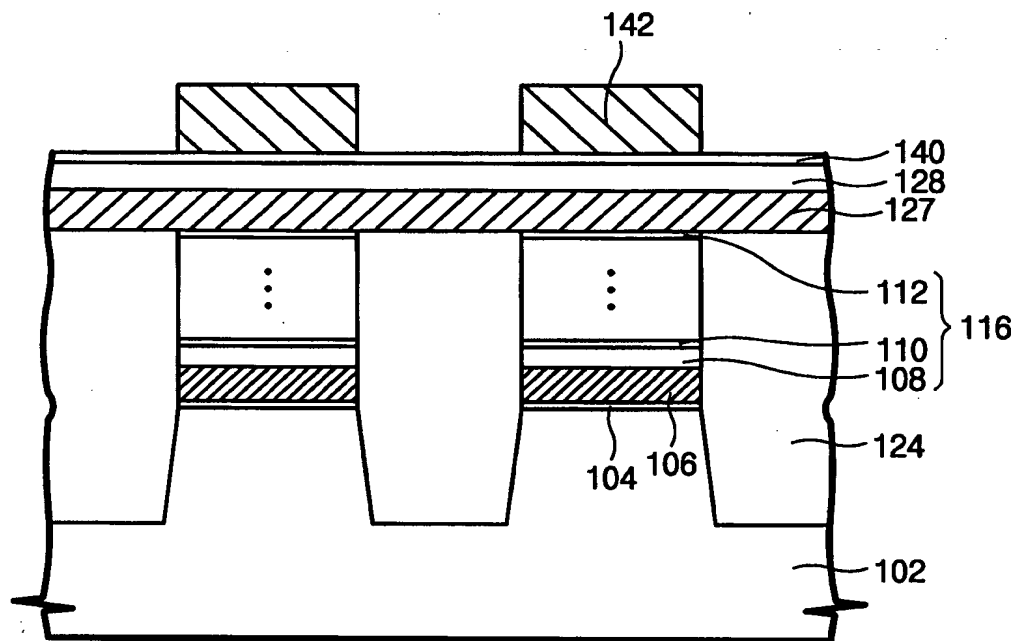
【도 3】



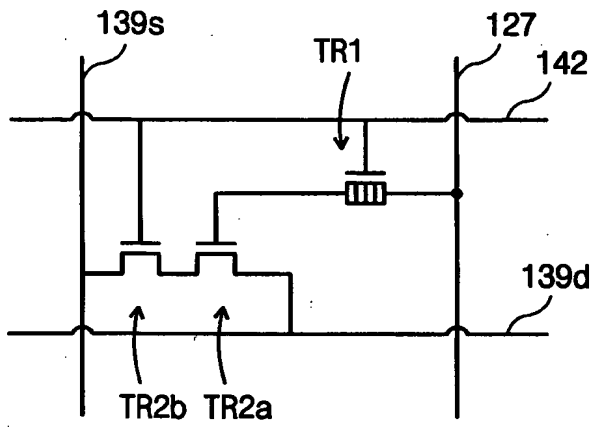
【도 4a】



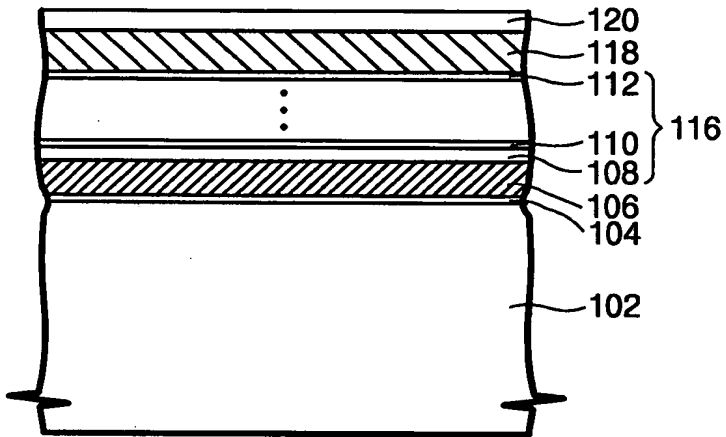
【도 4b】



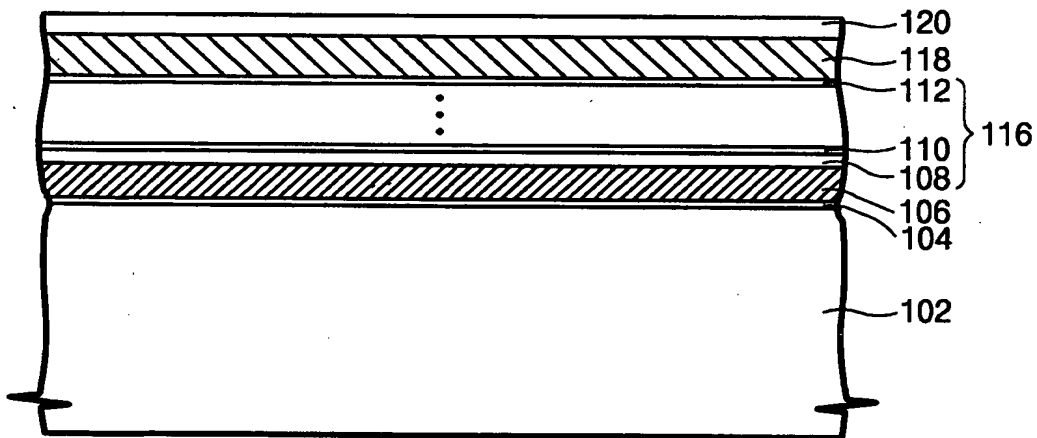
【도 5】



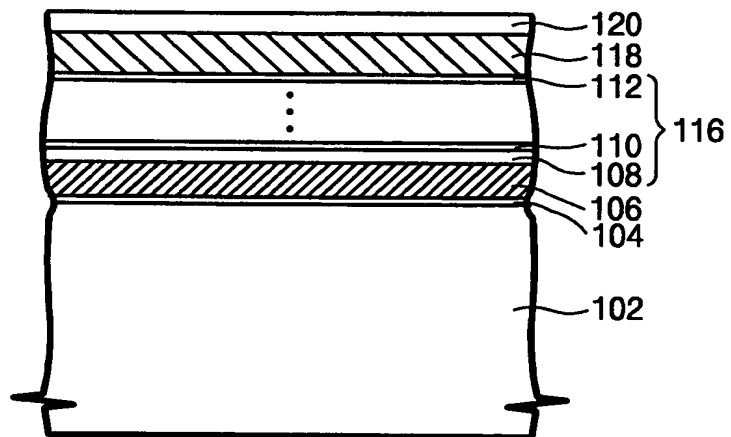
【도 6a】



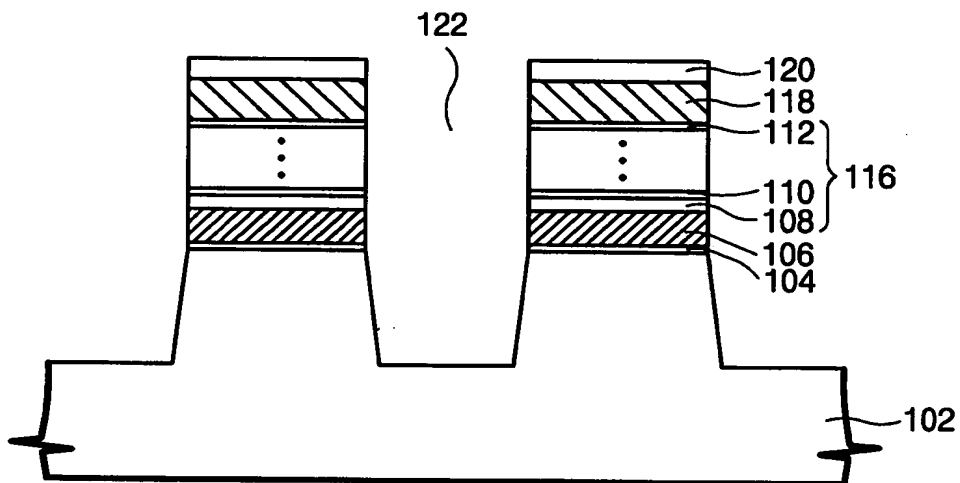
【도 6b】



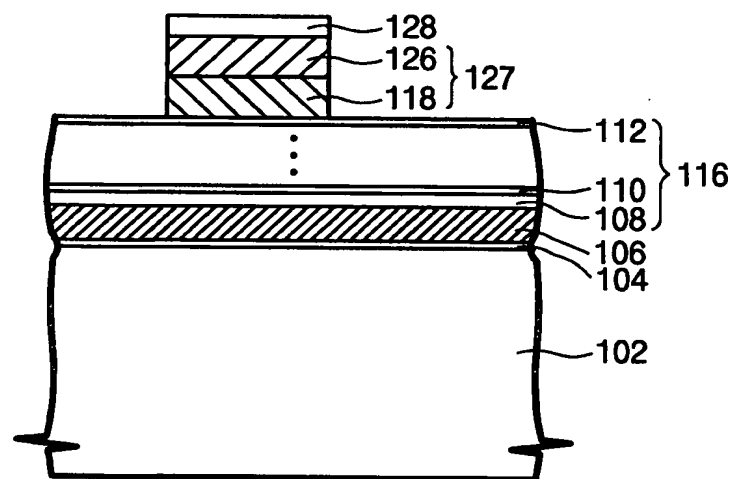
【도 7a】



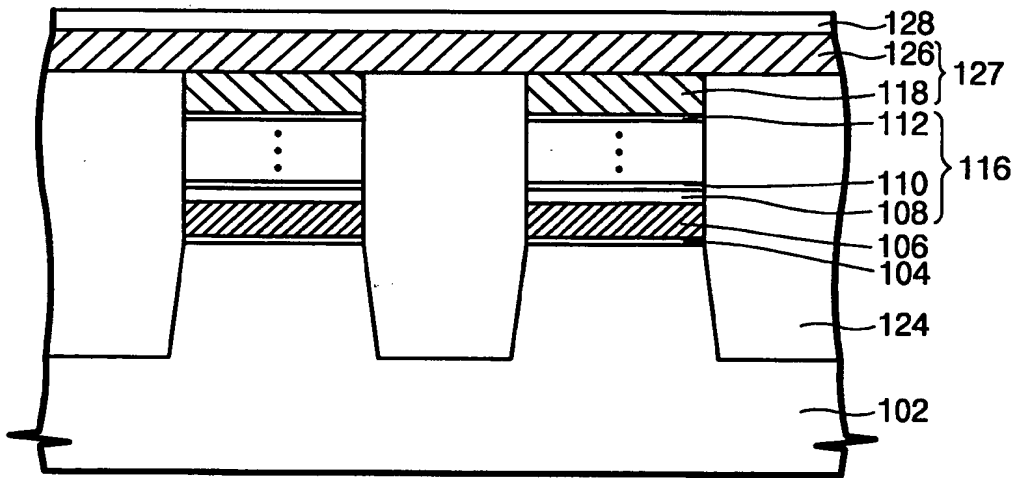
【도 7b】



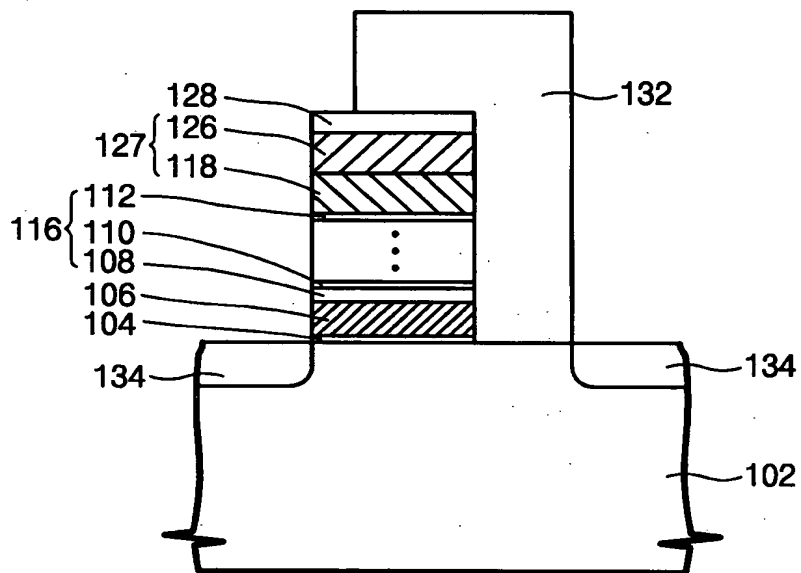
【도 8a】



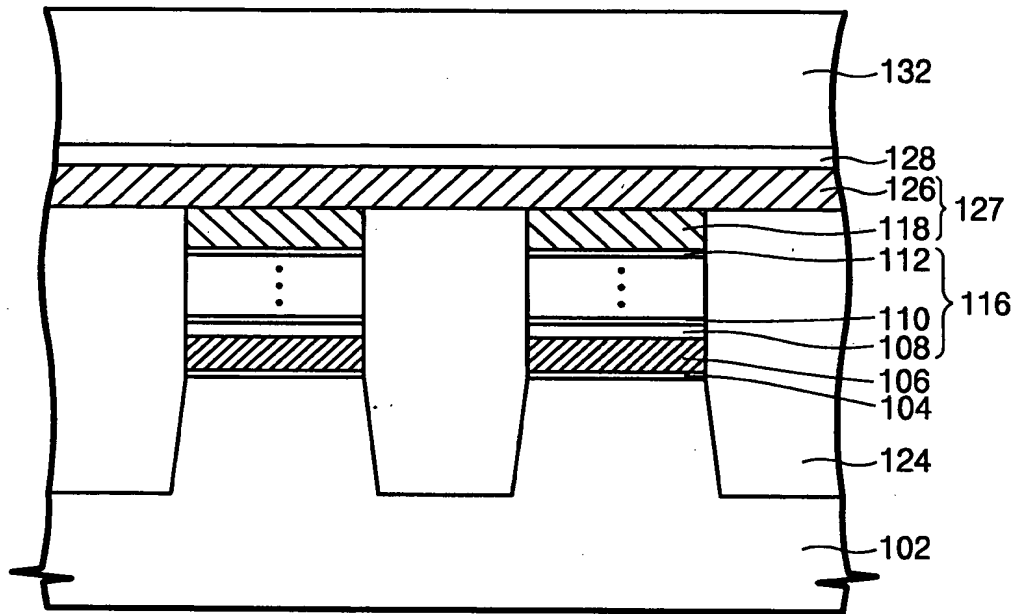
【도 8b】



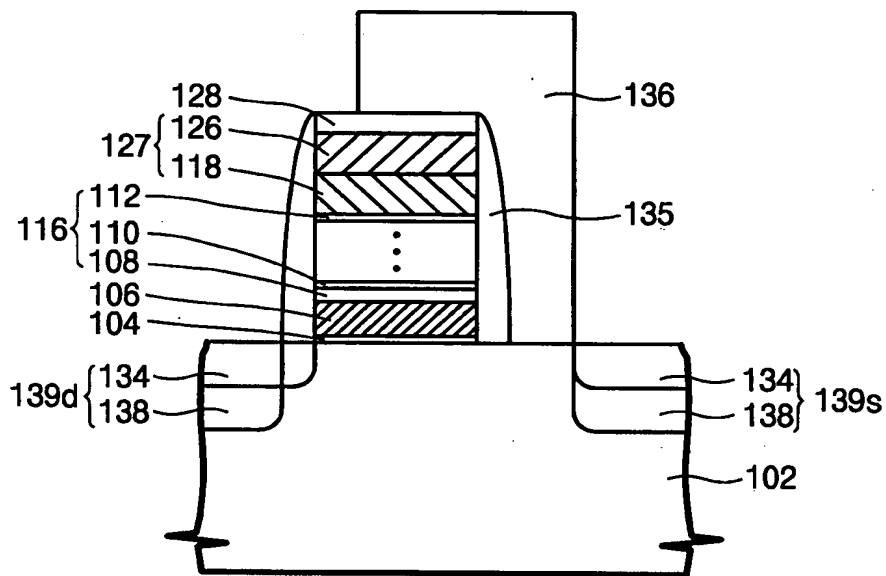
【도 9a】



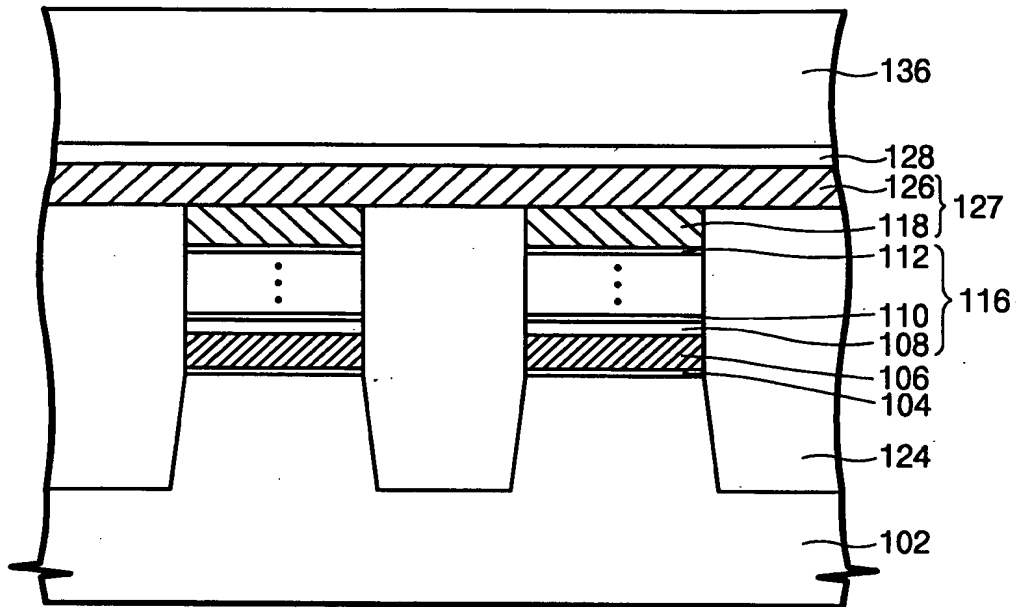
【도 9b】



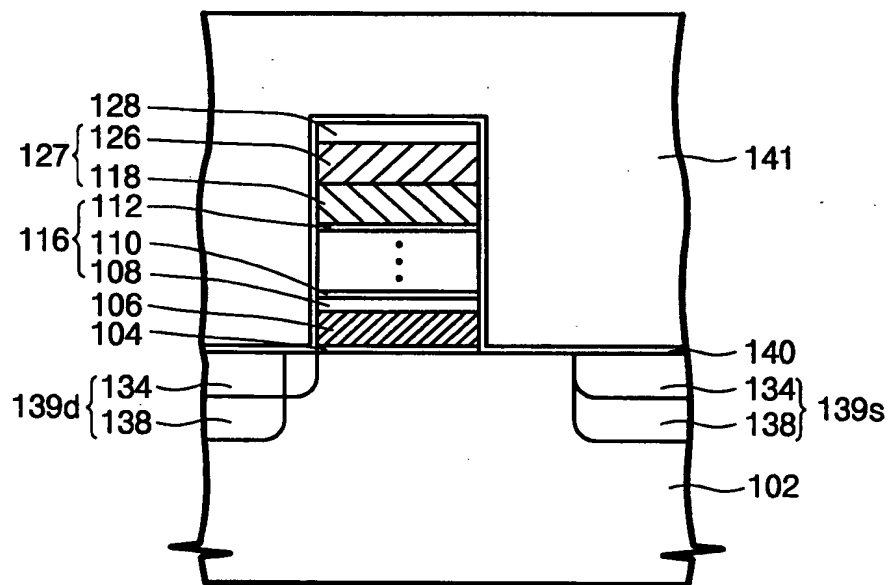
【도 10a】



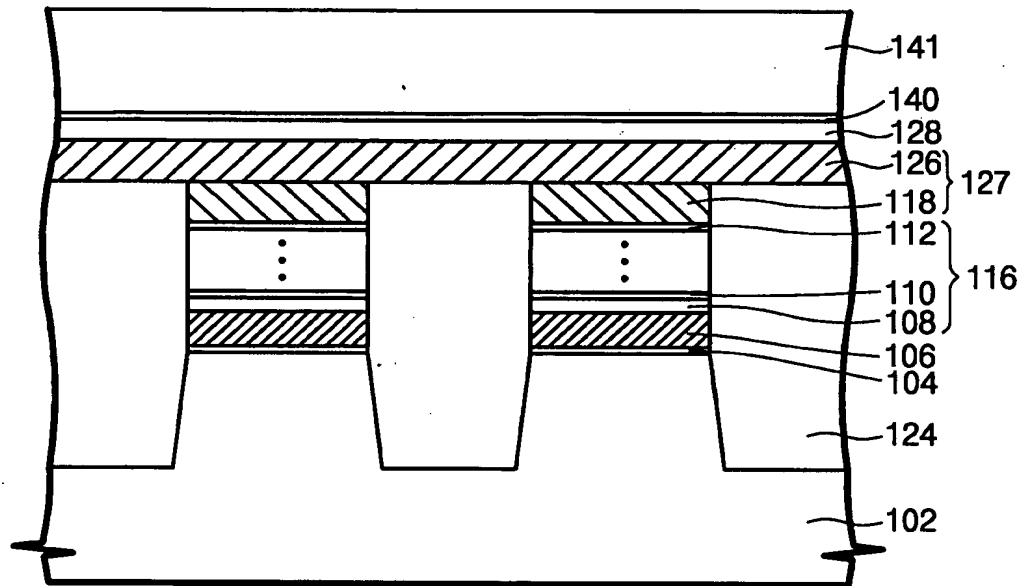
【도 10b】



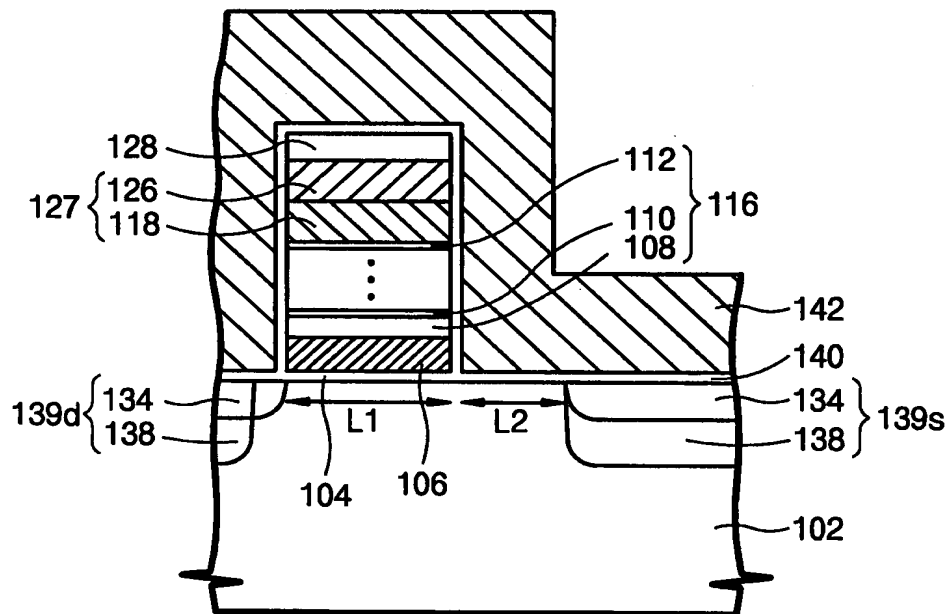
【도 11a】



【도 11b】



【도 12a】



【도 12b】

